

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

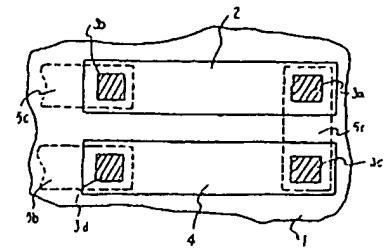
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(11) 2-7450 (A) (43) 11.1.1990 (19) JP  
 (21) Appl. No. 63-157346 (22) 24.6.1988  
 (71) NEC CORP (72) ICHIRO AKIBA  
 (51) Int. Cl. H01L21/82, H01L27/04, H01L27/118

**PURPOSE:** To eliminate a change in a resistance value even over a wide operating temperature, to eliminate a drop in an operating speed caused by a rise in temperature and to reduce a power consumption by a method wherein a resistance element having a positive temperature coefficient and a resistance element having a negative temperature coefficient are connected in order to obtain a prescribed resistance value.

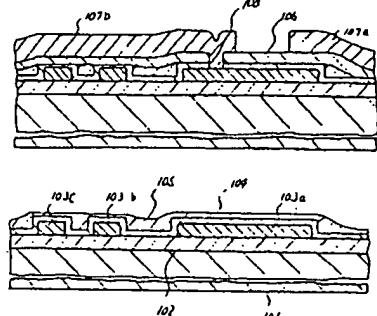
**CONSTITUTION:** An impurity is diffused selectively to an N-type epitaxial layer on a semiconductor substrate 1; a P-type impurity region 2 is formed. Opening parts 3a and 3b reaching a first insulating film formed on the region 2 are formed. A polycrystalline silicon layer is formed on the first insulating film so as to be adjacent to the region 2; it is removed selectively; a polycrystalline silicon region 4 is formed. In addition, a second insulating film is formed so as to cover the region 4; Opening parts 3c, 3d are formed in this insulating film. Then, the opening parts 3a, 3c filled with platinum silicide are connected by forming a wiring part 5a by evaporating aluminum; the wiring parts 3b and 3d are connected by forming wiring parts 5c and 5b. Thereby, it is possible to form a resistance element where the region 2 as a resistance element with a positive temperature coefficient and the polycrystalline silicon region 4 as a resistance element with a negative temperature coefficient are connected in series.



(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE  
 (11) 2-7451 (A) (43) 11.1.1990 (19) JP  
 (21) Appl. No. 63-157337 (22) 24.6.1988  
 (71) NEC CORP (72) HIROYUKI NAKAMURA  
 (51) Int. Cl. H01L21/90, H01L21/3205

**PURPOSE:** To form an interlayer insulating film of high flatness by a method wherein, when a coated film is piled up on insulating film formed by a vapor growth method and is etched back, an inert seed element is implanted in order to make an etch-back rate of the coated film and the insulating film uniform.

**CONSTITUTION:** A silicon oxide film 104 formed by a vapor growth method is coated with a silica film; a baking operation is executed; a coated film 105 is formed. An atom is accelerated in a gas plasma of argon; argon is implanted into the silicon oxide film 104 at an energy of 80 to 100keV. The whole surface of the coated film 105 is etched back; the coated film on a wide wiring layer 103a is removed completely. A silicon oxide film 106 is formed again by the vapor growth method. An opening 108 is made in a prescribed position; after that, an aluminum layer is formed on an insulating layer and on the whole surface of the opening part; after that, second-layer wiring part layers 107a, 107b are formed. When ions of argon are implanted, a bond of atoms inside the silicon oxide film 104 is divided; an etch rate becomes high and its value is nearly identical to an etch rate of the coated film; accordingly, a uniform etch-back operation can be executed; while the flatness is improved.

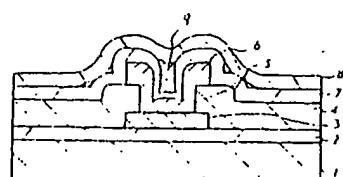


101: silicon substrate, 102: silicon oxide film

(54) SEMICONDUCTOR DEVICE  
 (11) 2-7452 (A) (43) 11.1.1990 (19) JP  
 (21) Appl. No. 63-157340 (22) 24.6.1988  
 (71) NEC CORP (72) MOTOAKI MURAYAMA  
 (51) Int. Cl. H01L21/90

**PURPOSE:** To secure moistureproofness even when this device is assembled in a molded package by a method wherein a coated film is left selectively in a recessed part of a silicon oxide film and a silicon nitride film is formed on it in order to make its film thickness uniform.

**CONSTITUTION:** A silicon oxide film 4 is formed on an aluminum wiring part 3; a through hole 5 for interlayer connection use is formed. Then, aluminum is applied and patterned; a second aluminum wiring part 6 is formed. Then, a silicon oxide film 7 is formed. Then, a coated film 9 is formed by a coating method; an anisotropic etch-back operation is executed; the coated film 9 is left only in a recessed part of the silicon oxide film 7. Lastly, a silicon nitride film 8 is formed. Although the silicon oxide film 7 is used as a first insulating film, a silicon nitride film can be used instead of the silicon oxide film and a moistureproof effect can be enhanced furthermore.



1: silicon substrate, 2: silicon oxide film

(5) ⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平2-7451

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/90  
21/3205

識別記号 庁内整理番号  
Q 6824-5F

⑬ 公開 平成2年(1990)1月11日

6824-5F H 01 L 21/88

審査請求 未請求 請求項の数 1 (全4頁)

M

⑭ 発明の名称 半導体集積回路装置の製造方法

⑮ 特 願 昭63-157337

⑯ 出 願 昭63(1988)6月24日

⑰ 発明者 中村 弘幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

半導体集積回路装置の製造方法

特許請求の範囲

多層配線構造を有する半導体集積回路装置の製造方法において、配線層上に気相成長法により絶縁膜を形成する工程と、塗布膜を形成する工程と、前記塗布膜形成の前又は後に前記絶縁膜に不活性種元素を注入してからエッチバックする工程とにより層間絶縁膜の平坦化を行なう工程を含むことを特徴とする半導体集積回路装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置の製造方法に関し、特に層間絶縁膜の平坦化方法に関する。

(従来の技術)

従来、半導体集積回路装置の配線層間の層間絶縁膜の平坦化方法としては、塗布膜 (SOG (スピンドルオングラス) 膜) を段差の凹部に厚く、凸部に薄く残す方法がある。また、前述の塗布膜の上部、または下部あるいは両方にCVD膜を形成し、塗布膜とCVD膜との組合せにより平坦化を図る方法がある。さらに塗布膜の形成の後、エッチバックにより、平坦化を図る方法がある。

上述の平坦化方法のうち代表的なものを図面を用いて説明する。第3図に示される通り、シリコン基板301に1.0μmの酸化シリコン膜302を成長させ、スパッタリング法により0.5μmのアルミニウム膜を形成する。そしてホトリソグラフィ工程により第1層目の配線層303a～303cを形成する。

次に、気相成長法により0.2μmの酸化シリコン膜304を形成し、シリカフィルムを塗布しペーパーして塗布膜305を形成した後、配線層303a～303cの上部の酸化シリコン膜304が露出するまでエッチバックを行ない層間

絶縁膜の平坦化を行なう。ひきつづき気相成長法により $0.5\text{ }\mu\text{m}$ の酸化シリコン膜306を形成し、所定の位置に開孔を設け、全面に $1.0\text{ }\mu\text{m}$ のアルミニウム層をスパッタリング法により形成した後、ホトリソグラフィ工程により第2層目の配線層307a, 307bを形成する。

(発明が解決しようとする課題)

上述した酸化シリコン膜と塗布膜とを組合せることにより平坦化を図る方法では、幅の広い配線層と狭い配線層とが同時に存在する半導体装置においては、幅の広い配線層上に残る塗布膜の膜厚が、幅の狭い配線層上に残る塗布膜の膜厚よりも厚くなる。従って、塗布後のエッチバック工程において、幅の広い配線層上の厚い塗布膜を除去するのに十分の時間エッチバックすれば、幅の狭い配線層上の薄い塗布膜はより短時間で除去されるため、塗布膜が除去された後は酸化シリコン膜をエッチバックすることになる。ところが、塗布膜と酸化シリコン膜のエッチレートを比較すれば、塗布膜の方が速いため、配線層の間の凹部の塗布

膜のみが大きくエッチバックされ、シリカフィルムのピーク直後に比較して肩状が悪化し、平坦化が十分に行えないという欠点がある。

(課題を解決するための手段)

本発明は、多層配線構造を有する半導体基板回路装置の製造方法において、配線層上に気相成長法により絶縁膜を形成する工程と、塗布膜を形成する工程と、前記塗布膜形成の前又は後に前記絶縁膜に不活性種元素を注入してからエッチバックする工程とにより肩間絶縁膜の平坦化を行なう工程とを有しているというものである。

(実施例)

次に本発明について図面を参照して説明する。第1図(a)～(c)は本発明の第1の実施例を説明するための工程順に配置した半導体チップの横断面図である。

まず、第1図(a)に示すように、シリコン基板101に厚さ $1.0\text{ }\mu\text{m}$ の酸化シリコン膜102を成長させ、スパッタリング法により厚さ $1.0\text{ }\mu\text{m}$ のアルミニウム層を形成する。そ

の後、ホトレジストをマスクとして、CC<sub>14</sub>系のガスプラズマ中でアルミニウム層をエッチングし、第1層目の配線層103a, 103b, 103cを形成する。

次に、気相成長法により、厚さ $0.5\text{ }\mu\text{m}$ の酸化シリコン膜104を形成し、ひきつづき、下地が平坦のとき厚さ $100\text{ nm}$ となる条件でシリカフィルムを塗布し、 $450^{\circ}\text{C}$ , 60分のピークを行い、塗布膜105を形成する。その後アルゴンのガスプラズマ中で原子を加速させ、酸化シリコン膜104中に $80\sim100\text{ keV}$ のエネルギーでアルゴンを注入する。しかる後、第1図(b)に示すように、塗布膜105の全面をエッチバックし、幅の広い配線層103a上の塗布膜を完全に除去する。その際、幅の狭い配線層103b, 103c上においては、酸化シリコン膜104の一部もエッチバックされる。その後、第1図(c)に示すように、再度気相成長法により厚さ $1.0\text{ }\mu\text{m}$ の酸化シリコン膜106を形成する。

次に、所定の位置に開孔108を設けた後、絶

縁膜上、並びに開孔部の全面に $1.5\text{ }\mu\text{m}$ のアルミニウム層を形成した後、ホトレジストをマスクとしてCC<sub>14</sub>系のガスプラズマ中でアルミニウム層をエッチングし、第2層目の配線層107a, 107bを形成する。

アルゴンイオンの注入により、酸化シリコン膜中の原子の結合が分断され、エッチバック時のエッチレートが高くなり、塗布膜のエッチレートとほぼ同一の値となるため、均一なエッチバックが可能となり、エッチバック後の平坦性が改善される。塗布膜の方もいくらかエッチレートが高くなるとはいえ、もともとそれほど緻密とはいえないでの、CVD法による酸化シリコン膜ほどではない。又、塗布膜の下層の絶縁膜は酸化シリコン膜に限らず、珪化シリコン膜やPSG膜でもよい。

第2図(a)～(c)は本発明の第2の実施例を説明するための工程順に配置した半導体チップの横断面図である。

この実施例は、不活性種元素の注入を塗布膜の形成以前に行なうという点を除き、第1の実施例と

同一である。

第2図(a)に示すように、第1の実施例と同様に第1回目の配線層を形成した後、気相成長法により厚さ0.5μmの酸化シリコン膜204を形成する。この後、アルゴンのガスアラズマ中で、原子を加速させ、70keVのエネルギーで酸化シリコン膜204中にアルゴンを注入する。しかる後第2図(b)に示すように、平坦部で厚さ100nmとなる条件で、シリカフィルムを塗布し、450°C、60分のペークを行い、塗布膜205を形成する。そして、第2図(c)に示すように塗布膜の全面をエッチバックし、配線層の広い配線層203a上の塗布膜を完全に除去する。このとき、幅の狭い配線層203b、203c上の酸化シリコン膜も若干除去されて薄くなる。次に、第1の実施例と同様にして気相成長法による1.0μmの酸化シリコン膜を成長して層間絶縁膜の形成を完了する。

以後の第2回目の配線の形成法は第1の実施例と同様である。

この実施例によれば、第1の実施例では広い配線層上の酸化シリコン膜の上部には膜厚の厚い塗布膜が残るためにアルゴンがほとんど注入されなかつた点が改善され、いずれの部分にも均一にアルゴンが注入されるという点が異なる。従って、オーバーエッチを行った場合にも形状の悪化が生じないので、第1の実施例に比較してエッチバック量に余裕を持たせることができる利点がある。

これら実施例において用いる塗布膜はシリカフィルムに限らず、回転塗布によって形成できる絶縁膜(SOG等)であればよい。

#### 【発明の効果】

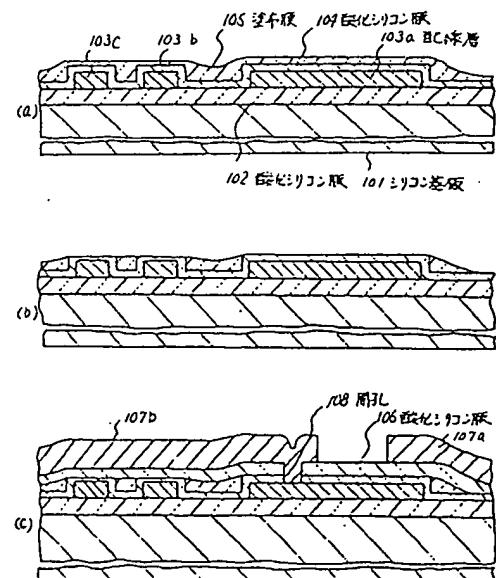
以上説明したように本発明は気相成長法による絶縁膜上に塗布膜を重ねてエッチバックを行うにあたり、前述の絶縁膜に不活性種元素を注入することにより、塗布膜と絶縁膜のエッチバックレートを均一にしてからエッチバックを行い平坦性の高い層間絶縁膜を形成でき、半導体集積回路装置の信頼性を向上できる効果がある。

#### 図面の簡単な説明

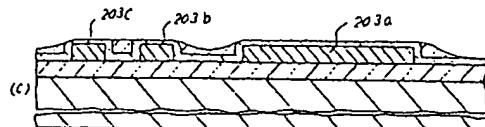
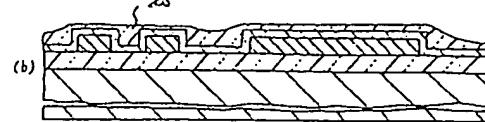
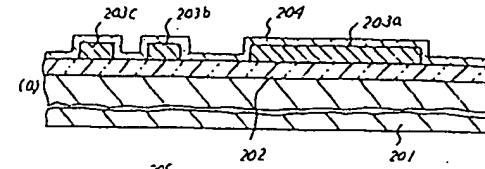
第1図(a)～(c)および第2図(a)～(c)はそれぞれ本発明の第1の実施例及び第2の実施例を説明するための工程版に配置した半導体チップの横断面図、第3図は従来例を説明するための半導体チップの横断面図である。

101, 201, 301…シリコン基板、102, 202, 302…酸化シリコン膜、103a～103c, 203a～203c, 303a～303c…配線層、104, 204, 304…酸化シリコン膜、105, 205, 305…塗布膜、106, 206, 306…酸化シリコン膜、107a, 107b, 207a, 207b, 307a, 307b…配線層、108…開孔。

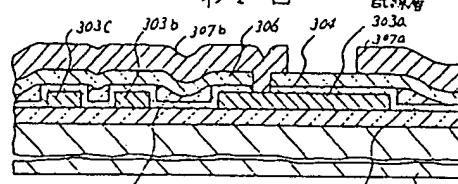
代理人 非理士 内原



第1回



第2図



第3図